

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-30022

⑮ Int. Cl.<sup>5</sup>G 06 F 9/38  
11/14

識別記号

3 8 0 A  
3 1 0 N

庁内整理番号

7361-5B  
9072-5B

⑬ 公開 平成3年(1991)2月8日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 情報処理装置

⑯ 特 願 平1-166082

⑰ 出 願 平1(1989)6月27日

⑱ 発 明 者 浅 野 貞 二 山梨県甲府市丸の内1丁目17番14号 甲府日本電気株式会社内

⑲ 出 願 人 甲府日本電気株式会社 山梨県甲府市大津町1088-3

⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

情報処理装置

## 2. 特許請求の範囲

## 1. バイブライン構成の情報処理装置において、

命令ブリフエッチ部と演算実行部間にあるバッファが一杯であるにもかかわらず命令ブリフエッチ部が誤動作してさらに情報をバッファに書き込むとした時、情報の書き込みを抑止する手段と、

書き込みとしたバッファ内同一ワードの誤動作表示エリアにその旨を書き込む手段と、

演算実行部が書き込みを抑止された情報を読もうとした時、誤動作表示エリアの情報によりエラーを認識し、エラーを発生した命令を特定する手段を有することを特徴とする情報処理装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明はバイブライン構成の情報処理装置に関し、特に命令ブリフエッチ部と演算実行部間にあるバッファの制御方式に関する。

(従来の技術)

従来、バイブライン構成の情報処理装置においてはブリフエッチ部と演算実行部間の実行速度の差を吸収することを目的としてバッファが設けられている。

ある命令の実行速度が例えばブリフエッチ部では1T、演算実行部では3Tかかるような場合で同様の命令が連続してもブリフエッチ部は処理結果として演算実行部へ受け渡す各制御情報をバッファへ格納することにより、演算実行部での処理状況を意識することなく次の命令の処理へ移ることができる。逆に、ブリフエッチ部で3T、演算実行部で1Tかかる命令が現れても演算実行部はバッファ内の制御情報が尽きるまでブリフエッチ部の処理状況を意識することなく順次命令を処理できる。バッファが一杯になった場合、ブリフエッチ部が次にバッファに書き込まないようにブリフエッチ部にフル信号を送り、ブリフエッチ部を待ち状態にする。この待ち状態は演算実行部がバッファより読出し、バッファに空きができた時

に解除される。バッファが空になった場合、演算実行部へエンブティ信号を送り、バッファに次の制御情報がセットされるまで演算実行部を待ち状態にする。エンブティ信号、フル信号は、バッファのリードポインタ、ライトポインタおよびリード指示信号、ライト指示信号の状態により判定され作られる。

このようなバッファでプリフェッチ部からの書込み時、何らかの障害が発生し、バッファがフル状態であるにもかかわらず、書込みをしようとした場合、従来は、ライトポインタがリードポインタを追い越したことを検知することでエラーと判断していた。

〔発明が解決しようとする課題〕

上述した従来の障害の検出方式では、エラーを起した命令を限定することが難しく、誤動作時の書込みを許すため、障害が複数の命令へ伝播してしまい、命令の再試行やプロセッサリリーフなどの障害処理が不可能になってしまうという欠点がある。

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示す情報処理装置のブロック図である。

プリフェッチ部2と演算実行部3の間にバッファ1が設けられている。ライトアドレスレジスタ11はバッファ1のライトアドレスを保持するレジスタであり、バッファ1へのライト指示信号141により+1カウントアップする。リードアドレスレジスタ12はバッファ1のリードアドレスを保持するレジスタであり、演算実行部3より送られるリード指示信号301により+1カウントアップする。エンブティ／フル検出回路13はリードアドレスレジスタ12、ライトアドレスレジスタ11の値およびプリフェッチ部2出力のライト指示信号201とリード指示信号301よりバッファ1の状態をチェックし、バッファ1が一杯の時はフル信号131を、空の時はエンブティ信号132をそれぞれ出力する。誤動作検出回路5は、エンブティ／フル検出回路13の出力する

〔課題を解決するための手段〕

本発明の情報処理装置は、命令プリフェッチ部と演算実行部間にあるバッファが一杯であるにもかかわらず命令プリフェッチ部が誤動作してさらに情報をバッファに書込もうとした時、情報の書込みを抑止する手段と、書込もうとしたバッファ内同一ワードの誤動作表示エリアにその旨を書込む手段と、演算実行部が書込みを抑止された情報を読もうとした時、誤動作表示エリアの情報により、エラーを認識し、エラーが発生した命令を特定する手段を有する。

〔作 用〕

バッファが一杯であるにもかかわらず、命令プリフェッチ部が誤動作して、情報をバッファに書込もうとした時、その旨が誤動作表示エリアに書込まれる。そして演算実行部が書込みを抑止された情報を読もうとした時、誤動作表示エリアよりエラーを認識してエラーが発生した命令を特定するので、その命令を再試行できる。

〔実施例〕

フル信号131が出力されている状態でプリフェッチ部2がライト指示信号201を出力した場合を検出する。誤動作検出回路5がエラーを検出した場合、信号501により、バッファ1およびバッファ1と同一アドレスで制御されるバッファ4への書込みが制御される。まず、アンド回路14によりプリフェッチ部2からのライト指示信号201は抑止され、ライトアドレスレジスタ11のカウントアップもされない。ライト指示信号201が抑止された結果、書込みが抑止されたプリフェッチ部2の出力情報は失われてしまうため、その情報に対応する命令の演算は実行不可能となる。バッファ4は誤動作表示エリアに対応するバッファであり、エラー発生により書込みが抑止されたワード位置にその旨書込み、演算実行部3が失われた情報を読出すタイミングでエラーを演算実行部3へ報告することを目的としている。バッファ4はバッファ1と同じくリードアドレスレジスタ12、ライトアドレスレジスタ11によりリードアドレス、ライトアドレスが指定され

る。ライト指示はプリフェッチ部2から送られるライト指示信号201により、信号線501のデータが書き込まれる。誤動作後の最初のリード動作で、誤動作により書き込みが抑止されたワード位置と同一位置に書き込まれているデータを読みに行く。書き込みが抑止されたため、目的のデータは保障されるが、同一ワードのバッファ4の誤動作表示エリアはエラーを表示した情報が読出されてしまう。このエラー表示は抑止されたデータに対応するものであり、読出されたデータとは対応していない。したがって、誤動作後最初のリードによるエラー表示は無効にする必要がある。そのため、誤動作検出回路5より出力される信号502でバッファ4から読出された値をアンド回路41を通しマスクする。信号502は誤動作後1回目のリードがされるまでの間“0”を示し、2回目以降のリード時は“1”を示す。したがって、バッファ4から読出されるデータは、誤動作後1回目のリードのみ無効となる。演算実行部3は信号線411でエラーが報告されると、ただちに処

理を中断し、エラーを発生した命令を特定した後、情報処理装置に対し、現在演算処理装置3で実行中の命令より再試行を指示する。

第2図は誤動作検出回路5の詳細なブロック図である。

エラー検出信号501は、回路13よりフル信号131がプリフェッチ部2へ送られているにもかかわらず、プリフェッチ部2よりライト指示信号201が送出された場合に出力される。また、一旦エラー表示信号601が送出されると、フラグ52がセットされ、エラー検出信号501はエラー表示し続ける。信号502は誤動作後、最初に読出されるエラー表示を無効にするための信号である。誤動作検出回路5でエラーを検出すると同時にフラグ53がセットされる。フラグ53は演算実行部3がリード指示信号301を出力するとリセットされるので、バッファ4より読出されるデータは誤動作後最初の読出し時のみマスクされ、それ以降はマスクされない。

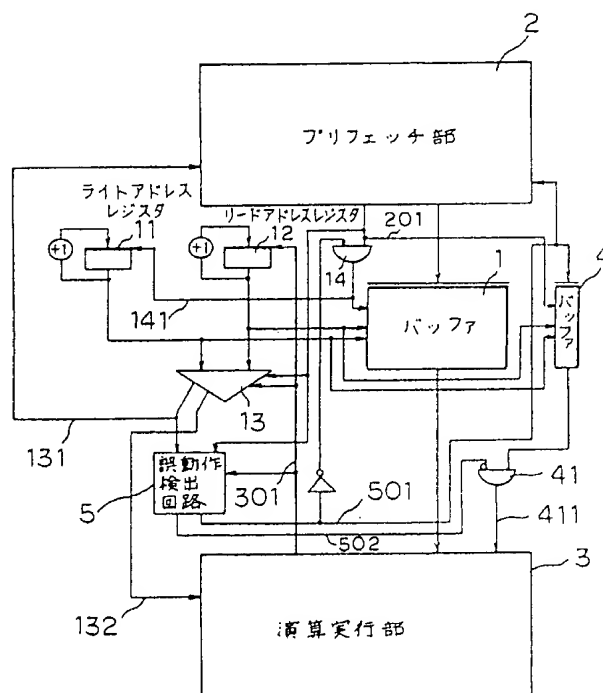
〔発明の効果〕

以上説明したように本発明は、プリフェッチ部と演算実行部間のバッファへの書き込み制御でエラーを検出した場合、エラーを発生したバッファ内情報の属する命令を特定し、その命令が演算実行される段階でエラーを報告することにより、その命令の再試行を可能とするという効果がある。

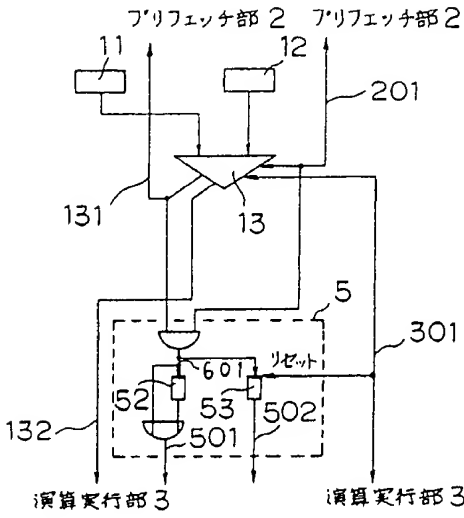
#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す情報処理装置のブロック図、第2図は第1図の誤動作検出回路5の詳細ブロック図である。

- 1 … バッファ、
- 2 … プリフェッチ部、
- 3 … 演算実行部、
- 4 … バッファ、
- 5 … 誤動作検出回路、
- 11 … ライトアドレスレジスタ、
- 12 … リードアドレスレジスタ、
- 13 … エプティ／フル検出回路、
- 14, 41 … アンド回路、
- 52, 53 … フラグ。



第1図



第 2 図